

**HITLESS CLOCK SWITCHING DEVICE**

**Patent number:** JP4113718  
**Publication date:** 1992-04-15  
**Inventor:** SATOU SAKUTAROU  
**Applicant:** FUJITSU LTD  
**Classification:**  
 - international: H03L7/00  
 - european:  
**Application number:** JP19900233684 19900904  
**Priority number(s):**

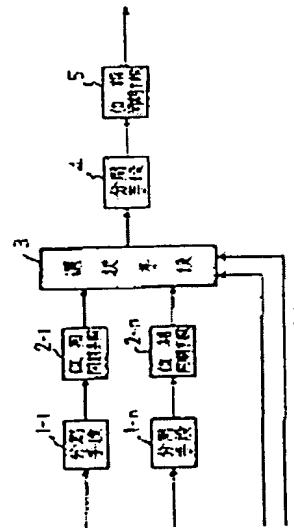
**Also published as:**

US5122677 (A)

**Abstract of JP4113718**

**PURPOSE:** To minimize the frequency fluctuation of an output clock even for a time even when an interruption detection signal is inputted to a clock selector by inputting a clock with a higher frequency than that of an input clock to a selective means via a phase comparing means so as to switch the selective means, thereby interrupting the clock during selection.

**CONSTITUTION:** Plural 1st phase comparing means (2-1)-(2-2) synchronize an inputted clock with their input and output a clock with a higher frequency. The selective means 3 receives plural outputted clocks and selects and outputs a predetermined clock and receives a clock interruption detection signal corresponding to each clock and switches the output clock into other clock and outputs it when the clock interruption is indicated. A frequency dividing means 4 is synchronized with the inputted clock and outputs a clock with a lower frequency. A 2nd phase comparing means 5 receives a clock outputted from the frequency dividing means 4 and outputs a clock with a desired frequency synchronously with the phase of the relevant input clock.




---

Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 平4-113718

⑬ Int. Cl. 5  
H 03 L 7/00

識別記号 庁内整理番号  
C 9182-5 J

⑭ 公開 平成4年(1992)4月15日

審査請求 未請求 求項の数 2 (全5頁)

⑮ 発明の名称 ヒットレス・クロック切替装置

⑯ 特 願 平2-233684

⑰ 出 願 平2(1990)9月4日

⑲ 発明者 佐藤 作太朗 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代理人 弁理士 井桁 貞一 外2名

### 明細書

#### 1. 発明の名称

ヒットレス・クロック切替装置

#### 2. 特許請求の範囲

1. 複数のクロックを入力し、該入力クロックの夫々に対して同期した高周波クロックを出力する第1の位相比較手段(2-1～2-a)と、該第1の位相比較手段(2-1～2-a)から出力された複数の高周波クロックと該入力クロックに対応したクロック断検出信号を入力し、該入力された複数のクロックの中から所望の1クロックを選択して出力するとともに、該選択されたクロックに対応したクロック断検出信号が入力されたときに、他の入力クロックを選択して出力する選択手段(3)と、該選択手段(3)から出力されたクロックを入力し、該入力クロックに対して低周波のクロックを出力する分周手段(4)と、該分周手段(4)から出力された低周波クロックを入力し、該入力クロックに同

期した所定周波数のクロックを出力する第2の位相比較手段(5)を有することを特徴とするヒットレス・クロック切替装置。

2. 該位相同期手段(2-1～2-a)は、位相比較器、低域フィルタ、発振器、分周器から構成されたPLL回路(21-1～21-a)によって構成されており、入力されたクロックと発振器出力を分周したクロックにより位相比較を行い、この比較結果により出力クロックの位相を調整することを特徴とする請求項1記載のヒットレス・クロック切替装置。

#### 3. 発明の詳細な説明

##### 【概要】

ヒットレス・クロック切替装置に関し、選択中のクロックが断になり、クロックセレクタに断検出信号が入力されるまでの時間中でも出力クロックの周波数変動を最小限におさえ、かつ断検出信号が与えられクロックを切替えたときににおいても出力クロックの位相変動を小さくすることを目的とし、

複数のクロックを入力し、該入力クロックの夫々に対して同期した高周波クロックを出力する第1の位相比較手段(2-1～2-n)と、該第1の位相比較手段(2-1～2-n)から出力された複数の高周波クロックと該入力クロックに対応したクロック断検出信号を入力し、該入力された複数のクロックの中から所望の1クロックを選択して出力するとともに、該選択されたクロックに対応したクロック断検出信号が入力されたときに、他の入力クロックを選択して出力する選択手段(3)と、該選択手段(3)から出力されたクロックを入力し、該入力クロックに対して低周波のクロックを出力する分周手段(4)と、該分周手段(4)から出力された低周波クロックを入力し、該入力クロックに同期した所定周波数のクロックを出力する第2の位相比較手段(5)を有して構成される。

#### 〔産業上の利用分野〕

本発明はヒットレス・クロック切替装置に関し、特に自装置内に同期用クロックを複数持ち、使用

中の同期用クロックが断になった時に、他の同期用クロックに切替えるヒットレス・クロック切替方式に関する。

近年の通信システムの同期化に伴い、システムの信頼性を確保する為に装置内の同期用クロックを複数持ち、適宜切替可能にすることが要望されている。

ここで用いられる同期用クロックとしては、局舎からのマスタクロック、自装置内の内部動作クロック、伝送路から抽出したループタイミング等が用いられる。

#### 〔従来の技術〕

従来のクロック切替え回路の一例として第4図に示される回路を例にとり、入力クロックがマスタ現用クロックと、マスタ予備クロックの2系統から供給される場合について、第5図を参照して説明する。

まず、第5図(a-1)及び第5図(b-1)に示される現用及び予備のマスタクロック(例えば1.5MHz

)が分周器71-1,71-2に入力される。分周器71-1,71-2では入力されたクロックを第5図(a-2)及び第5図(b-2)に示される通り同一の周波数に分周(例えば8kHz)し、セレクタ72に出力する。一方、分周器71-1,71-2に入力されるクロックはリセットバルスによりリセットされ、位相を同期状態に保つように作用する。セレクタ72では入力された2つのクロック内の所望のクロック(ここでは現用マスタクロック)が選択され、位相比較器73及び微分回路74に出力される。位相器73では入力されたクロックを基準とした、後段において必要な周波数のクロック得るように構成され、一方微分回路74では入力されたクロックの変化点を検出し、リセットバルスとして分周器71-1,71-2に出力される。

ここで第5図(a'-1)に示されるように現用の入力クロックが断となった場合、セレクタ72には第5図(a'-2)に示されるクロック及び第5図(c)に示される断検出信号が印加される。この断検出信号によりセレクタ72ではクロックの切替え動作に

入り、時間t経過後切替が完了し正常なクロックの後段へ供給する。

#### 〔発明が解決しようとする課題〕

上記のように、従来のクロック切替回路においては、選択出力されているクロックが何らかの理由により断となつた場合、クロック断検出信号がセレクタに入力され、他のクロックへの切替動作が行われる。しかし、クロックの断を検出する時間はある程度とておくと(例えば10ms程度)、断検出信号が入力されるまでの間、位相同期回路には“H”又は“L”的レベルに固定された信号がセレクタから出力され、位相同期回路出力が急激な位相変動(周波数変動)を生じて回線エラーを起こす可能性を有していた。

本発明は、選択中のクロックが断になり、クロックセレクタに断検出信号が入力されるまでの時間中でも出力クロックの周波数変動を最小限におさえ、かつ断検出信号が与えられクロックを切替えたときにおいても出力クロックの位相変動を小

さくすることを目的としている。

[課題を解決するための手段]

第1図に本発明の原理図を示す。

第1図に於いて、まず複数の第1の位相比較手段2-1～2-2では、入力されたクロックを該入力に対して同期し、かつ周波数の高いクロックを出力する。選択手段3では該第1の位相比較手段2-1～2-2から出力された複数のクロックを入力し、予め定められた1つのクロックを選択し出力するとともに、各クロックに対応したクロック断検出信号を入力し、選択出力しているクロックが断になった時に出力クロックを他のクロックに切替えて出力する。分周手段4では選択手段3から選択出力されたクロックを入力し、該入力されたクロックに対して同期し、かつ周波数の低いクロックを出力する。第2の位相比較手段5では分周手段4から出力されたクロックを入力し該入力したクロックの位相に同期した所望の周波数のクロックを出力する。

第1図の第1の位相比較手段は該2回路(21～1～21～4)に対応し、第1図の選択手段3は第2図のセレクタ31に対応し、第1図の分周手段4は第2図の分周器41に対応し、第1図の第2の位相比較手段5は第2図のPLL回路51に対応している。

第2図に於いて、クロックの発生源として局舎からのマスタクロック現用及び予備と伝送路から抽出されるループタイミングと自装置の内部クロック発生部の夫々からクロックが入力される場合を説明する。まず現用のマスタクロックがバイポーラ／ユニポーラ変換器64-1に入力されユニポーラ信号に変換される。ここで、マスタクロックは通常伝送するのに適したバイポーラ信号が適用される。ユニポーラ信号に変換されたクロックは同期検出部62-1とクロック断検出回路61-1に入力される。まず同期検出部62-1にて同期がとられた後、分周器11-1にクロックを出力する。一方、クロック断検出回路61-1ではクロックの断が検出されたときに断検出信号をセレクタ31に出力する。分周

[作用]

本発明においては、位相比較手段を介し、かつ入力クロックに対して高い周波数のクロックを選択手段に入力し、切替えることとなる。即ち、高い周波数のクロックを切替えるためにクロックの位相のずれが小さくすることができる。

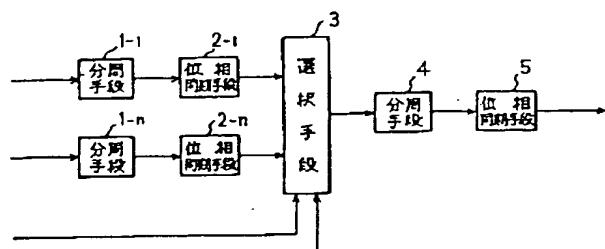
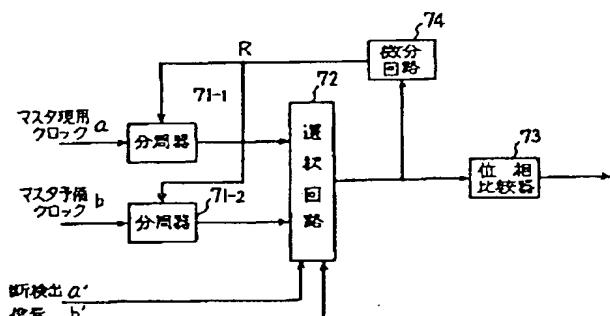
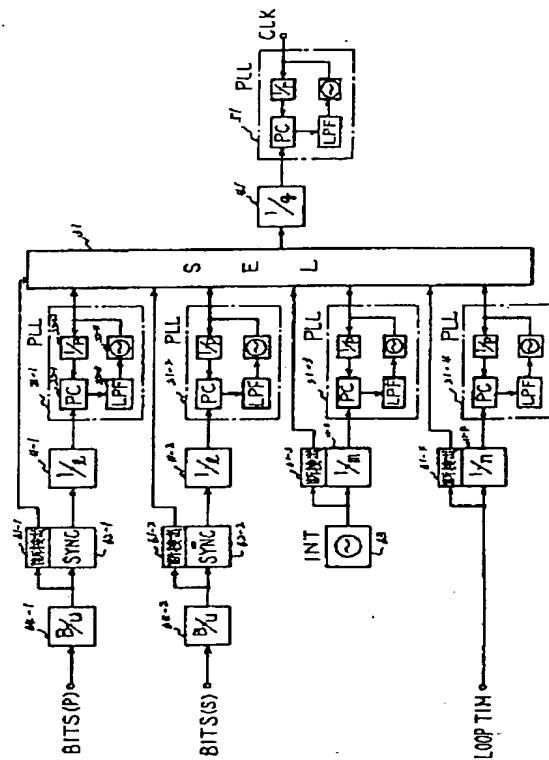
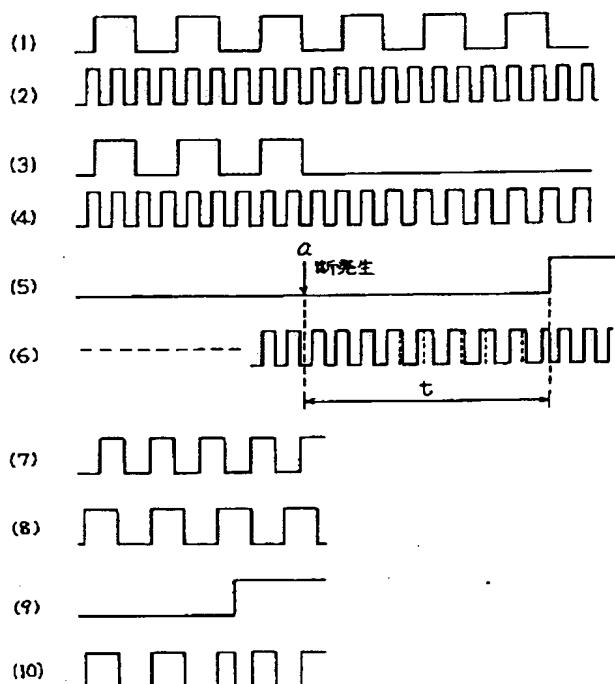
また、第1及び第2の位相比較手段として位相比較回路、分周器、発振器、低域除去フィルタからなるPLL回路を用いる構成とすることにより、入力クロックの断が発生したときにおいても、選択手段に出力するクロックが該PLL回路の上限又は下限の周波数のクロックが入力されるため、該選択手段にて選択出力されるクロックを分離することにより位相ずれを最小限におさえることができる。

[実施例]

以下図面に示す実施例に基づいて本発明を詳細に説明する。

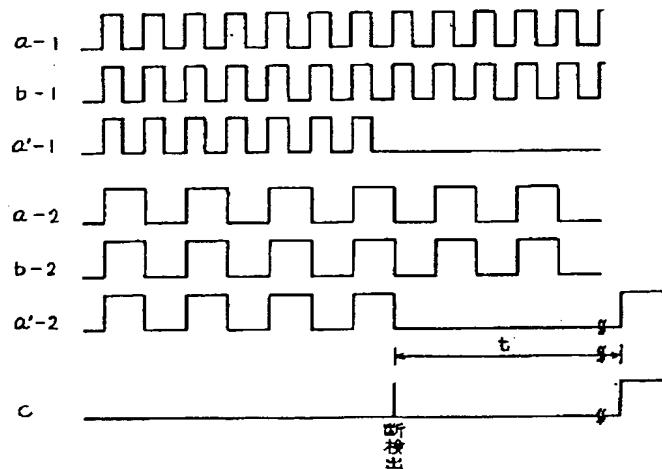
器11-1では入力されたクロックを第3図(1)に示されるような周波数が8KHzとなるクロックに分周し、PLL回路21-1に出力される。PLL回路21-1では入力された8KHzのクロックを位相比較器22-1に入力し、第3図(2)にしめされるような発振器22-4にて発生させた100MHz(拡大表示)を分周器22-2を介したクロックと位相比較されるとともにセレクタ31に出力される。位相比較器での比較結果は低域フィルタ22-3を介して発振器22-4を制御し、入力クロックと出力クロックの同期を確立させるように動作する。

予備のマスタクロックにおいても上記現用のマスタクロックと同様にしてクロックを作成し、該クロックをセレクタ31に出力させる。更に、ループタイミングと自装置の内部クロック発生部63において作成されたタイミングにおいても、上記同様にしてクロック断の検出を行うとともにクロックを周波数が8KHzとなるクロックに分周し、上記と同様にしてクロックをセレクタ31に入力させる。セレクタ31では入力された第3図(2)クロック

本発明の原理図  
第1図従来のクロック切替回路  
第4図本発明の一実施例  
第2図

実施例の各部の波形図

第3図



従来のクロック切替回路の各部の波形図

第5図

のうち任意の 1 クロックを選択して分周器 41 に出力する。分周器 41 では入力された 100 MHz のクロックを 8 KHz のクロックに分周し、PLL 回路 51 に出力している。PLL 回路 51 では入力された 8 KHz のクロックに同期した、出力すべき所定の周波数のクロックを作成し後段の装置等に印加する。

以上のような動作を行うクロックの切替装置において、セレクタ 31 にて選択出力されているクロックが断になった場合の要部動作を以下に説明する。

ここで、分周器 11-1 からの出力クロックが第 3 図(3) に示すクロックの a 点でクロックの断が発生した時、このクロック断の発生に対応した第 3 図(5) に示されるクロック断検出信号が断検出回路 61-1 で検出されセレクタ 31 に伝えられる。ここで、第 3 図(3) のクロックが PLL 回路 21-1 に印加された場合、PLL 回路 21-1 では入力クロックの a 点、即ち断が発生以降は "H" 又は "L" に固定された信号が入力されるのみとなり、位相比

較器 22-1 での位相ずれが大きくなるが、第 3 図(4) に示されるように入力クロックが断となった後でも位相がずれたクロックがセレクタ 31 に入力されるようになる。従って、クロック断の検出時間が 10 ms かかった場合、その 10 ms の切替え前の時間だけ第 3 図(6) に示されるような位相のずれたクロックがセレクタ 31 に供給されることとなる。クロック断の検出時間である 10 ms 脱離した後クロックの切替えが行われるが、セレクタ 31 に入力されるクロックの周波数が高い事もあり、第 3 図(7) に示した発振器 22-4 から出力されるクロック (100 MHz) に対して位相が多少ずれた第 3 図(8) に示されるクロックと第 3 図(7) に示される正常なクロックの間で第 3 図(9) に示される切替え信号により切替えが行われる。よって、セレクタ 31 の出力としては、位相ずれの少ない第 3 図(10) に示されるクロックが出力されることとなる。このクロックを分周器 41 で分周することにより、クロックの位相ずれが高い周波数での 1 クロック分以内のずれを生ずる事となる。このような

小さな位相ずれであれば、分周器 41 出力を入力する PLL 回路 51 にて位相変動をほぼ吸収可能であり出力としては、クロックの選択出力が断となつた場合にでも位相ずれのほぼないクロックを後段の装置に供給できる。

#### [発明の効果]

以上のように、本発明においては断検出時間中においてもクロックが断となる前と周波数変動のほとんどないクロックがえられ、断検出信号によりクロックの切替えが行われても位相変動を少なくすることができる。

#### 4. 図面の簡単な説明

第 1 図は本発明の原理図、

第 2 図は本発明の一実施例、

第 3 図は実施例の各部の波形図、

第 4 図は従来のクロック切替回路、

第 5 図と従来クロック切替回路の各部の波形図、

図に於いて、

1-1～1-n … 分周手段

2-1～2-n … 位相同期手段

3 … 選択手段 4 … 分周手段

5 … 位相同期手段である。

代理人 弁理士 井桁 貞一

代理人 弁理士 林 恒徳

代理人 弁理士 土井 健二

出願人 富士通株式会社